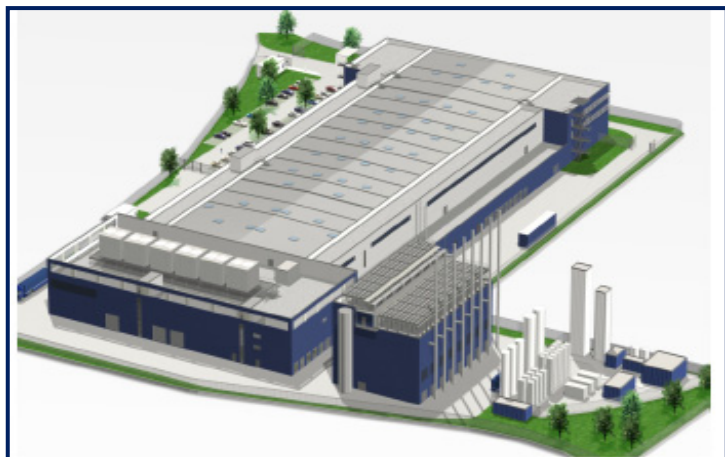


Технологическая среда проектирования

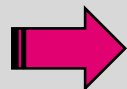
*Подпроект
в рамках Проекта Ангстрем-Т*



Структура и состав технологической среды проектирования

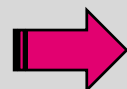
Микро для Макро

Процесс дизайн-кит (PDK)



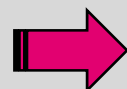
- Правила проектирования и процесс спецификации
- Технологические файлы
- Модели приборов
- Библиотека приборов
- Skill (Pcell skill code)
- Физическая верификация

Библиотеки стандартных элементов (SC)



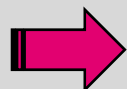
- Комбинационная логика
- Триггерная логика
- Специальные элементы
- Клоковые элементы
- Задержки

Библиотеки элементов ввода-вывода (IO)



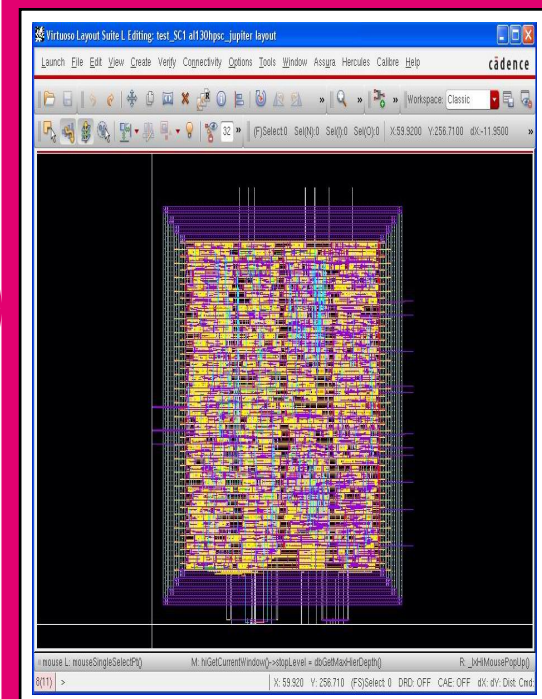
- Сигнальные
- Аналоговые
- Осцилляторы
- элементы «Питание»
- элементы «Земля»
- Специальные элементы

Компиляторы памяти (MEM)



- СОЗУ один порт
- СОЗУ два порта
- Регистровые файлы (1 и 2 порта)
- ПЗУ
- САМ

Технологическая среда проектирования



Многолетний опыт – насчитывает более десятка библиотек стандартных элементов, разработанных для российских и зарубежных полупроводниковых производств.

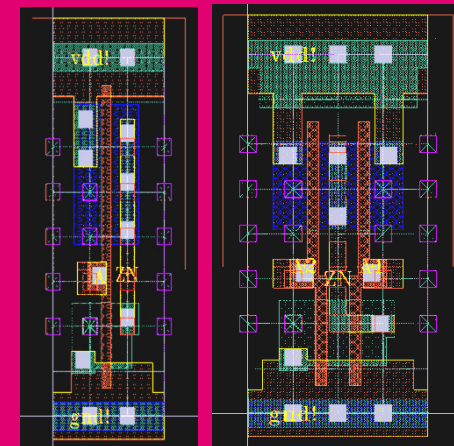
Маршрут проектирования – основан на использовании лицензионного программного обеспечения компании Cadence и обеспечивает выполнение разработки библиотеки в сжатые сроки.

- Проектирование схем и топологии (Cadence Virtuoso®);
- Экстракция схем элементов из топологии с RC-параметрами (Cadence Assura);
- Характеризация библиотечных элементов (Cadence Encounter® Library Characterizer);
- Создание представлений библиотеки (doc, gds, cdl, lib, verilog, vhd1 и т.д.).

Состав элементов – определен на основе анализа библиотек стандартных элементов мировых лидеров в области разработки ASIC-библиотек и консультаций ведущих отечественных дизайн - центров, насчитывает более 500 элементов, в том числе:

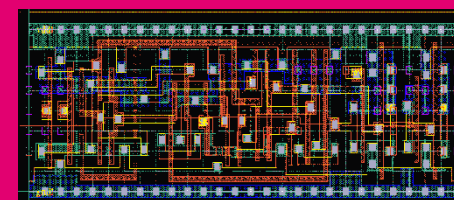
- Комбинационная логика: Inverter, Buffer, AND, OR, XOR, AND-OR-Inverter, OR-AND-Inverter, Multiplexer, Half Adder, Full Adder, Compressor;
- Триггерные элементы: Transparent Latch, D Flip-Flop (scan, enable), JK Flip-Flop, RS latch;
- Специальные элементы: Delay cells, Clock Gating cells, Tie off cell (logic 1 or 0), Bus Holder cells, Fillers cells, Filler Cap cells, Antenna Cell.

Топология элементов



Инвертор

2И-HE



Фронтной триггер с установкой и сбросом

Назначение – библиотеки площадок ввода - вывода содержат полный набор элементов для построения цифровых и аналоговых интерфейсов кристалла с напряжением питания 3.3 В 2.5 В.

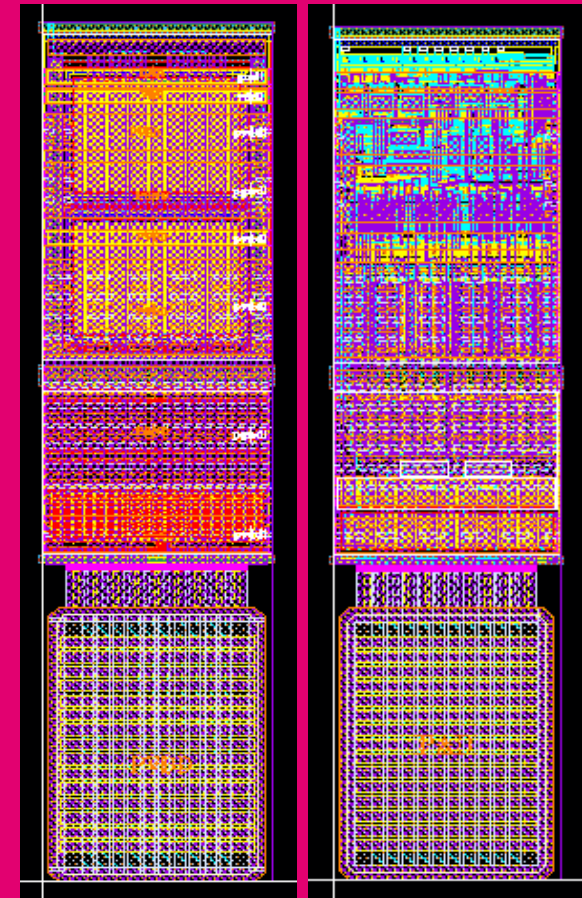
Маршрут проектирования – основан на использовании лицензионного программного обеспечения компании Cadence и обеспечивает выполнение разработки библиотек в сжатые сроки.

- Проектирование схем и топологии (Cadence Virtuoso®);
- Экстракция схем элементов из топологии с RC-параметрами (Cadence Assura);
- Характеризация библиотечных элементов (Cadence Encounter® Library Characterizer);
- Создание представлений библиотеки (doc, gds, cdl, lib, verilog, vhd и т.д.).

Особенности:

- Оптимизация с учетом требований по уровню помех для шин «земли» и «питания»
- Встроенные схемы защиты от ESD (уровень 4кВ)
- Программируемые значения выходной мощности (8 градаций в диапазоне 2мА – 24 мА)
- Программируемые значения длительности выходного фронта
- Программируемые значения порога переключения входного сигнала (КМОП / ТТЛ)
- Гистерезис
- Токовые подтяжки к шинам «земля» и «питание»

Топология элементов ввода/вывода



Площадка питания (P60VIO_D) Площадка выхода (P60O33_D1)

Маршрут проектирования – реализован библиотечный подход к созданию базы данных компилятора, включая:

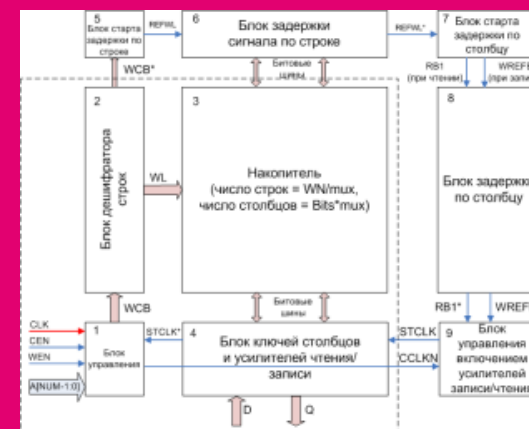
- разработку структуры базы данных;
- собственную методику расчёта библиотечных элементов;
- разработку правил проектирования библиотечных элементов;
- собственный внутренний формат для описания алгоритма компиляции.

Архитектура блоков памяти – реализован оригинальный механизм контроля рабочей частоты, что обеспечило точное соответствие расчётных и реальных параметров компилируемых блоков памяти. Получен патент на архитектуру блока памяти с системой автоматической подстройки скорости считывания.

Характеризация – разработана собственная уникальная система характеристики библиотеки элементов компилятора, включая:

- методику подготовки библиотеки блоков;
- математический аппарат;
- комплекс собственных программных средств САПР.

Архитектура СОЗУ



Патенты



Широкий перечень представлений библиотеки стандартных элементов обеспечивает простой и удобный процесс разработки проектов в современных средствах автоматизированного проектирования.

Представления библиотеки:

- Каталог библиотеки элементов (PDF)
- Схема электрическая принципиальная (CDL-netlist)
- Символьное представление элементов (Symbol)
- Послойное описание топологии элементов (GDSII)
- Физическая модель топологии элементов (LEF)
- Описание характеристик библиотеки в формате Liberty
- Описание характеристик библиотеки в формате TLF
- База данных системы SYNOPSIS (Milkyway)
- Поведенческое описание элементов на языке Verilog
- Поведенческое описание элементов на языке VHDL

Современные САПР

The image shows the logo for Cadence, which consists of the word "cadence" in a lowercase, sans-serif font. The letter "a" has a small red horizontal bar above it. A trademark symbol (TM) is located to the upper right of the word.